

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-133492
 (43)Date of publication of application : 18.05.2001

(51)Int.CI. G01R 29/02
 G01R 25/00
 H04L 25/02

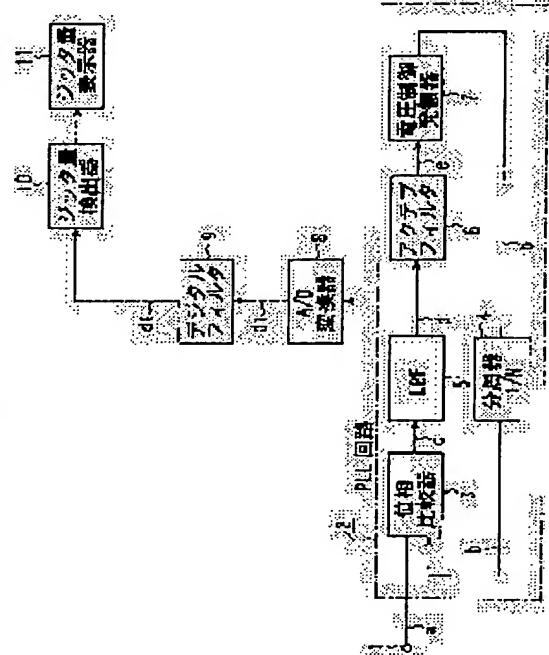
(21)Application number : 11-313899 (71)Applicant : ANRITSU CORP
 (22)Date of filing : 04.11.1999 (72)Inventor : SUGIYAMA OSAMU
 NARUSE HISAFUMI

(54) JITTER-MEASURING INSTRUMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To simplify a digital filter being incorporated into a jitter-measuring instrument.

SOLUTION: A digital filter being incorporated into a jitter-measuring instrument is composed of a first adder 31 for subtracting a feedback signal that is located at a sampling before from an inputted phase error signal, a multiplier 32 for multiplying the output signal of the first adder by a filter constant g_0 for transmitting to a jitter amount detection circuit 10 as a new output signal, delay equipment 34 for delaying the output signal of the first adder by one sampling, a second adder 33 for adding an output signal being delayed by the delay equipment by one sampling to the output signal of the first adder being inputted to the delay equipment, a plurality of bit shift circuits 35 and 36 for bit-shifting by the number of bits corresponding to a filter constant α_0 , and a third adder 37 for adding each output signal of each bit shift circuit for transmitting to the first adder as a feedback signal that is located at one sampling before.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

BEST AVAILABLE COPY

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-133492
(P2001-133492A)

(43)公開日 平成13年5月18日 (2001.5.18)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
G 0 1 R 29/02		G 0 1 R 29/02	L 2 G 0 3 0
25/00		25/00	5 K 0 2 9
H 0 4 L 25/02	3 0 2	H 0 4 L 25/02	3 0 2 A

審査請求 未請求 請求項の数 1 O.L (全 7 頁)

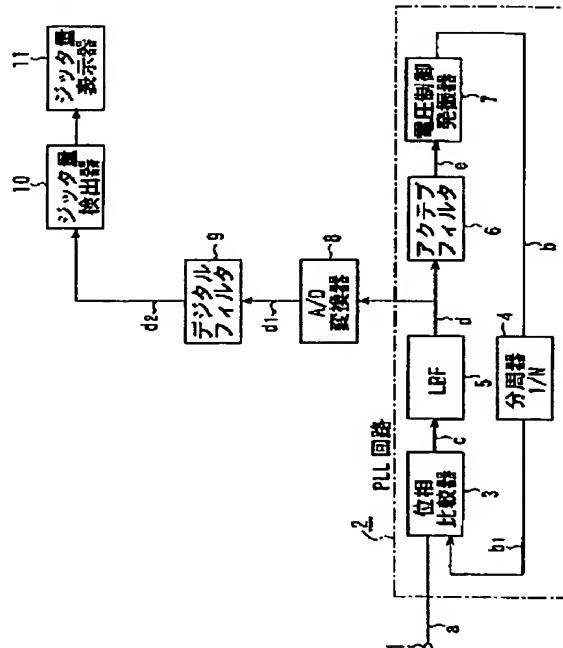
(21)出願番号	特願平11-313899	(71)出願人	000000572 アンリツ株式会社 東京都港区南麻布5丁目10番27号
(22)出願日	平成11年11月4日 (1999.11.4)	(72)発明者	杉山 修 東京都港区南麻布五丁目10番27号 アンリツ株式会社内
		(72)発明者	成瀬 尚史 東京都港区南麻布五丁目10番27号 アンリツ株式会社内
		(74)代理人	100058479 弁理士 鈴江 武彦 (外5名) F ターム(参考) 2G030 AA01 AD08 AF01 AG05 5K029 KK22 LL01 LL08

(54)【発明の名称】 ジッタ測定器

(57)【要約】

【課題】 ジッタ測定器に組込まれたデジタルフィルタを簡素化する。

【解決手段】 ジッタ測定器に組込まれたデジタルフィルタを、入力された位相誤差信号から1サンプリング前の帰還信号を減算する第1の加算器31と、フィルタ定数 g_1 を第1の加算器の出力信号に乗算して新たな出力信号としてジッタ量検出回路10へ送出する乗算器32と、第1の加算器の出力信号を1サンプリング分遅延させる遅延器34と、遅延器に入力される第1の加算器の出力信号に遅延器で1サンプリング分遅延された出力信号を加算する第2の加算器33と、フィルタ定数 α_1 に対応した各ビット数だけビットシフトさせる複数のビットシフト回路35、36と、各ビットシフト回路の各出力信号を加算して1サンプリング前の帰還信号として第1の加算器へ送出する第3の加算器37などで構成している。



【特許請求の範囲】

【請求項1】 入力された被測定信号と参照信号との間の位相誤差を位相誤差信号として検出し、この検出した位相誤差信号を所定のサンプリング周波数でA/D変換し、デジタルフィルタ(30)で前記A/D変換されたデジタルの位相誤差信号から低周波数成分を除去し、この低周波数成分が除去された位相誤差信号からジッタ量をジッタ量検出回路(10)で検出するジッタ測定器において、

前記デジタルフィルタ(30)は、

前記A/D変換されたデジタルの位相誤差信号から1サンプリング前の帰還信号を減算する第1の加算器(31)と、

前記低周波数成分の遮断周波数と前記サンプリング周波数とで定まるフィルタ定数を、前記第1の加算器の出力信号に乗算して新たな位相誤差信号として前記ジッタ量検出回路(10)へ送出する乗算器(32)と、

前記第1の加算器の出力信号を1サンプリング分遅延させる遅延器(34)と、

前記遅延器に入力される前記第1の加算器の出力信号に前記遅延器で1サンプリング分遅延された出力信号を加算する第2の加算器(33)と、

前記遅延器の出力信号を前記遮断周波数と前記サンプリング周波数とで定まるフィルタ定数に対応した各ビット数だけビットシフトさせる複数のビットシフト回路(35, 36)と、

前記各ビットシフト回路の各出力信号を加算して1サンプリング前の帰還信号として前記第1の加算器へ送出する第3の加算器(37)とを備えたことを特徴とするジッタ測定器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、入力された被測定信号のジッタ(位相揺らぎ)量を測定するジッタ測定器に係わり、特にこのジッタ測定器に組込まれたデジタルフィルタの改良に関する。

【0002】

【従来の技術】例えば、デジタル信号を伝送するデジタル伝送路では、デジタル信号を再生して出力する中継器によって伝送路を延長しているが、このような中継器では、入力信号の位相揺らぎ(ジッタ)が大きくなると元の信号を再生することができない。このため、中継器のジッタに対する耐力や、中継器自身によって発生するジッタ量を予め測定しておく必要がある。

【0003】このような測定を行うために従来からジッタ測定器が用いられる。図3はジッタ測定器の概略構成を示すブロック図である。

【0004】入力端子1から入力された数M～数百Mbps(ビットレート)の被測定信号aはPLL回路2内の位相比較器3へ入力される。位相比較器3は、被測定

信号aと分周器4から入力された参照信号b₁との間の位相差を算出して、位相差に対応する信号レベルを有する位相差信号cを次のLPF(ローパスフィルタ)5へ送出する。

【0005】LPF5は、位相差信号cに含まれる被測定信号aにおけるデータのビットレートに対応する周波数成分と、この周波数成分に等しい周波数成分を有する参照信号b₁の周波数成分とを除去する。LPF5は、位相差信号cから被測定信号aと参照信号b₁との高周波成分を除去した信号を位相誤差信号dとして出力する。

【0006】LPF5から出力された位相誤差信号dはアクティブフィルタ6へ入力される。アクティブフィルタ6は、入力された位相誤差信号dに含まれる直流成分を抽出しつつ増幅して制御電圧eとして電圧制御発振器7へ送出する。電圧制御発振器7は入力された制御電圧eに比例した周波数を有する参照信号b₁を分周器4へ送出する。分周器4は、参照信号b₁を1/Nに分周して新たなる参照信号b₂として、位相比較器3へ入力する。

【0007】したがって、位相比較器3、LPF5、電圧制御発振器7及び分周器4とで形成されるPLL回路2においては、参照信号b₂と入力された被測定信号aとの位相と周波数が定常的にずれている場合は、位相比較器3から出力される位相差信号cには、この位相差及び周波数差に対応する直流成分が含まれる。この直流成分はアクティブフィルタ6で制御電圧eとして、電圧制御発振器7へ印加される。したがって、最終的には参照信号b₂の位相と周波数とは被測定信号aの位相と周波数に同期する。

【0008】この状態で、被測定信号aに位相揺らぎ(ジッタ)が発生するとする。この位相揺らぎ(ジッタ)の周波数は、前述した参照信号b₂と被測定信号aとの定常的な位相差に起因する変化の周波数に比較して格段に高いので、位相差信号cに含まれる位相揺らぎ(ジッタ)に起因する周波数成分(ジッタ周波数帯域)を区別できる。

【0009】したがって、参照信号b₂と被測定信号aが同期した状態において、被測定信号aに位相揺らぎ(ジッタ)が発生するとLPF5から出力される位相誤差信号dの電圧が変化することになる。ジッタ量検出部10はこの位相誤差信号dの電圧変化をジッタ量として測定してジッタ量表示器11へ表示する。

【0010】しかしながら、参照信号b₂と被測定信号aが完全に同期した理想状態は長期間継続することは不可能であるので、この位相誤差信号dから同期外れに起因する直流に近い低周波数成分を遮断するハイパスフィルタをLPF5とジッタ量検出器10との間に介在させている。しかし、この低周波数成分を遮断するハイパスフィルタの周波数特性はITU-T.O.172に勧告されているように非常に高い精度が要求される。通常のア

ナログのハイパスフィルタにおいては、周囲温度の変化等により精度を保障しなくていい。

【0011】したがって、図3に示すように、位相誤差信号dをA/D変換するA/D変換器8と、このA/D変換器8でA/D変換されたデジタルの位相誤差信号d₁の低周波数成分を除去するデジタルフィルタ9とが採用されている。ジッタ量検出部10はこのデジタルフィルタ9で低周波数成分が除去されたデジタルの位相誤差*

$$H(s) = s / (s + 1) \quad \cdots(1)$$

これを $z = e^{sT}$ とおいて双一次変換(z変換)する
と、デジタルの伝達関数 $H(z)$ が求まる。※

$$H(z) = g_0 \cdot (1 - z^{-1}) / (1 - \alpha_0 z^{-1}) \quad \cdots(2)$$

但し、

$$g_0 = x / (x + 1) \quad \cdots(3)$$

$$\alpha_0 = (x - 1) / (x + 1) \quad \cdots(4)$$

$$x = 1 / \tan(\pi f_c / f_s) \quad \cdots(5)$$

f_c ：遮断周波数

f_s ：サンプリング周波数(A/D変換器8のサンプリング周波数)

この1次のHPFを示す伝達関数 $H(z)$ を有するデジタルフィルタ9は、一般的に図4に示すように、2個の加算器14、16と、2個の乗算器15、17と、1個の遅延器18とで表現できる。

【0015】入力されたkビット構成の入力信号 $X[n]$ は加算器14へ入力される。加算器14は、乗算器15から出力された1サンプリング前の帰還信号と入力信号 $X[n]$ とを加算する。加算器14の出力信号は他の加算器16へ入力されるとともに遅延器18へ入力される。遅延器18は、例えばシフトレジスタからなり、入力された加算器14の出力信号を1サンプリング分遅延させて出力する。

【0016】遅延器18から出力された1サンプリング前の出力信号は前記加算器16へ入力されるとともに乗算器15へ入力される。乗算器15は入力された1サンプリング前の出力信号に前述した(4)式で示すフィルタ係数 $\alpha_0 [= (x - 1) / (x + 1)]$ を乗算して、1サンプリング前の帰還信号として加算器14へ送出する。

【0017】前記加算器16は、加算器14の出力信号から、遅延器18から出力された1サンプリング前の出力信号を減算して次の乗算器17へ送出する。乗算器17は入力された乗算器16の出力信号に前述した(3)式で示すフィルタ係数 $g_0 [= x / (x + 1)]$ を乗算し★

*信号d₁の電圧変化をジッタ量として検出してジッタ量表示器11へ表示する。

【0012】次に、前記低周波数成分を除去するデジタルフィルタ9について検証する。一般に、1次のHPFをデジタルフィルタによって実現する場合、ラプラス演算子を用いた伝達関数 $H(s)$ は(1)式で表現できる。

【0013】

…(1)

10※【0014】

※

…(2)

…(3)

…(4)

…(5)

★て、新たなkビット構成の出力信号 $Y[n]$ としてこのデジタルフィルタ9から出力する。

【0018】このように、デジタルフィルタ9を用いることによって、位相誤差信号dに含まれる低周波数成分を少ない時間遅れで除去できる。

【0019】しかしながら、図4に示すデジタルフィルタ9を用いて位相誤差信号dに含まれる低周波数成分を除去するようにしたジッタ測定器においてもまだ次のような問題があった。

【0020】すなわち、前述したように、ジッタ測定器の測定対象としているデジタル通信回線を伝送される被測定信号aの周波数は数M～数百Mbps(ビットレート)と非常に高い。したがって、この数M～数百Mbpsの周波数に対応して抽出されるべきジッタの周波数成分も高くなる。そこで、A/D変換器8のサンプリング周波数 f_s も高い値となる。これに対して、位相誤差信号dから低周波数成分を遮断するための遮断周波数 f_c は例えば10～500Hzと非常に低い。

【0021】しかも、この遮断周波数 f_c は被測定信号aの周波数(ビットレート)に応じて変更するようにITU-T 0.172の勧告で規定されている。表1は、このITU-T 0.172の勧告における被測定信号aの周波数(ビットレート)とkの遮断周波数 f_c との関係を示す。

【0022】

【表1】

Bit Rate	HPF0 (Hz)	HPF1 (Hz)	HPF2 (Hz)	HPF2' (Hz)	HPF (Hz)	LPF (Hz)
155.52 Mbps	10	500	65k	-	12k	1.3M
622.08 Mbps	10	1k	250k	-	12k	5M

表1 ビットレート毎のフィルタのカットオフ周波数

【0023】表1に示すように、サンプリング周波数 f_s と遮断周波数 f_c とは6桁以上の開きがある。その結果、(5)式 [$x = 1/\tan(\pi f_c/f_s)$] で示される x の値が必要とする有効桁数は6桁以上となる。したがって、(3)、(4)式で示すフィルタ係数 g_0 、 α_0 の値が必要とする有効桁数は6桁以上となる。これを2進法で示す場合、20ビット以上が必要である。

【0024】したがって、フィルタ係数 α_0 と遅延器18から出力された1サンプリング前の出力信号とを乗算する乗算器15の計算量が膨大になる。その結果、乗算

$$\alpha_0 = 1 - 2/(x+1)$$

$$\alpha_0 = 1 - [1/2^L + p/2^{L+1} + p'/2^{L+2} + p''/2^{L+3} + p'''/2^{L+4} + \dots]$$

但し、 L はフィルタ係数 α_0 の有効ビット長であり、 p 、 p' 、 p'' 、 p''' 、…は [1] 又は [0] の値を取り、乗算器15の必要とする算出精度に応じて設定される。

【0027】(6)式の展開された各項の計算は [2] の各べき乗の割算である。2進表示された数字 [X] を2のべき乗 [2^L] で除算することは、数字 [X] を [L] ビットシフトさせることと等価であるので、乗算器15を、図5のデジタルフィルタ9aに示す等価回路19で置換えることができる。

【0028】すなわち、この等価回路19は、(6)式の第1項の [1] に対応する帰還回路20と、(6)式の第2項の [$1/2^L$] に対応すレピットの第1のビットシフト回路21と、(6)式の第3項の [$1/2^{L+1}$] に対応する ($L+1$) ビットの第2のビットシフト回路21と、この第2のビットシフト回路21への信号入力を設定された p 値に応じて制御するAND回路からなるゲート回路23と、帰還回路20を介した遅延器18からの出力信号と各ビットシフト回路21、22の各出力信号を加算して帰還信号として加算器14へ送出する複数の加算器24、25などで構成されている。

【0029】なお、図5には記載していないが、(6)式の第4項の [$1/2^{L+2}$]、(6)式の第5項の [$1/2^{L+3}$]、(6)式の第6項の [$1/2^{L+4}$]、…、に対応する各ビットシフト回路及びゲート回路が設けられている。

【0030】このように、乗算器15を並列接続された複数のビットシフト回路21、22、…と、複数の加算器24、25、…とで構成することが可能である。ビットシフト回路は入力された入力信号のビット位置（小数点位置）を移動させるのみであるので、図4に示した乗算器15に比較して、回路構成を大幅に簡素化できる。また、演算処理速度も図4に示した乗算器15に比較して大幅に上昇できる。

【0031】さらに、サンプリング周波数 f_s と遮断周波数 f_c とは6桁以上の開きがあると、実際において

* 器15が大型化、複雑化するので、デジタルフィルタ9が高価格化する。さらに、乗算器15の演算処理時間が長くなるので、デジタルフィルタ9全体の処理時間が長くなる。

【0025】 x の値が非常に大きくなり、(3)、(4)式で示すフィルタ係数 g_0 、 α_0 の各値共に1に近くなる。すると、(4)式で示すフィルタ係数 α_0 を近似的に(6)式で示すように展開できる。

【0026】

…(6)

は、(6)式の(6)式の第4項目 [$1/2^{L+2}$] 以降は無視できるので、さらに、デジタルフィルタ9aの回路構成を簡素化できる。

【0032】これに対して、図5に示すデジタルフィルタ9aにおいては、図4と同様に、入力信号X[n]が12ビット構成で出力信号Y[n]が12ビット構成の場合、遅延器18の出力信号が32ビット、各ビットシフト回路21、22の出力信号は12ビットとなる。

【0033】

【発明が解決しようとする課題】しかしながら図5に示す構成のデジタルフィルタ9aが組込まれたジッタ測定器においてもまた次のような課題があった。

【0034】すなわち、図4に示すデジタルフィルタ15を図5に示す等価回路19に置き換えることによって、各部品をビットシフト回路21、22と加算器23、24、25で置換えることが可能となり、各部品の構成を簡素化し、演算処理速度を向上できるが、部品点数が増加する懸念がある。本発明はこのような事情に鑑みてなされたものであり、組込まれる各部品を簡素化でき、かつ部品点数を減少でき、また、被測定信号のデータ伝送速度と位相誤差信号からジッタ量を検出するときに除去すべき低周波数成分の遮断周波数が大きく離れていたとしても、簡単にこの低周波数成分を除去できるデジタルフィルタが組込まれたジッタ測定器を提供することを目的とする。

【0035】

【課題を解決するための手段】本発明は、入力された被測定信号と参照信号との間の位相誤差を位相誤差信号として検出し、この検出した位相誤差信号を所定のサンプリング周波数でA/D変換し、デジタルフィルタで前記A/D変換されたデジタルの位相誤差信号から低周波数成分を除去し、この低周波数成分が除去された位相誤差信号からジッタ量をジッタ量検出回路で検出するジッタ測定器に適用される。

【0036】そして、上記課題を解消するために、本発明のジッタ測定器の組込まれたデジタルフィルタを、A

／D変換されたデジタルの位相誤差信号から1サンプリング前の帰還信号を減算する第1の加算器と、低周波数成分の遮断周波数とサンプリング周波数とで定まるフィルタ定数を、第1の加算器の出力信号乗算して新たな位相誤差信号としてジッタ量検出回路へ送出する乗算器と、第1の加算器の出力信号を1サンプリング分遅延させる遅延器と、遅延器に入力される第1の加算器の出力信号に遅延器で1サンプリング分遅延された出力信号を加算する第2の加算器と、遅延器の出力信号を遮断周波数とサンプリング周波数とで定まるフィルタ定数に対応した各ビット数だけビットシフトさせる複数のビットシフト回路と、各ビットシフト回路の各出力信号を加算して1サンプリング前の帰還信号として第1の加算器へ送出する第3の加算器とを備えている。

【0037】このように構成されたジッタ測定器におけるデジタルフィルタにおいては、入力される第1の加算器の出力信号に遅延器で1サンプリング分遅延された出力信号を加算する第2の加算器は、図5に示す従来のジッタ測定器のデジタルフィルタ9aにおける帰還路20と加算器16の機能をはたす。よって、第2の加算器で、遅延器の出力信号を直接遅延器の入力信号に加算することにより、帰還路20、加算器25、16を省略できる。

【0038】

【発明の実施の形態】以下、本発明の一実施形態を図面を用いて説明する。図1は本発明の実施形態に係るジッタ測定器に組込まれたデジタルフィルタ30概略構成を示すブロック図である。すなわち、本発明の実施形態のジッタ測定器は、図3に示した従来のジッタ測定器において、デジタルフィルタ9を図1に示すデジタルフィルタ30に置換えたものである。

【0039】したがって、本発明のジッタ測定器における全体構成は、図3に示した従来のジッタ測定器とほぼ同じであるので説明を省略する。

【0040】図1に示すデジタルフィルタ30は、第1の加算器31、乗算器32、第2の加算器33、複数のビットシフト回路35、36、第3の加算器37、及びゲート回路38で構成されている。

【0041】図3のA／D変換器8から出力されたkビット構成のデジタルの位相誤差信号d₁は第1の加算器31へ入力される。第1の加算器31は、入力された位相誤差信号d₁から第3の加算器37から出力された1サンプリング前の帰還信号iを減算して出力信号jとして出力する。第1の加算器31の出力信号jは乗算器32へ入力されるとともに第2の加算器33へ入力される。この第2の加算器33は入力された第1の加算器31の出力信号jに遅延器34から出力された1サンプリング前の出力信号mを加算して新たな出力信号kとして、同一遅延器34へ送出する。遅延器34は入力された第2の加算器33の出力信号kを1サンプリング分だ

け遅延して新たな出力信号mとして出力する。

【0042】遅延器34から出力された1サンプリング前の出力信号mは第2の加算器33へ入力する。さらに、出力信号mは直接ビットシフト回路35へ入力されるとともにゲート回路38を介して別のビットシフト回路36へ入力される。

【0043】ビットシフト回路35は、入力された遅延器34の出力信号mを前述した(6)式の第2項の[1/2¹]に対応すしビット分シフトさせる。また、ビット

10 シフト回路36は、入力された遅延器34の出力信号mを前述した(6)式の第3項の[1/2¹⁺¹]に対応す(L+1)ビット分遅延させる。各ビットシフト回路35、36の各出力信号は、第3の加算器37で加算されて帰還信号jとして第1の加算器31へ入力される。

【0044】ゲート回路38は、例えばAND回路からなり、ビットシフト回路36への信号入力を設定されたp値に応じて制御する。

【0045】なお、図1は記載していないが、(6)式の第4項の[1/2¹⁺²]、(6)式の第5項の[1/2¹⁺³]、(6)式の第6項の[1/2¹⁺⁴]、…、に対応する各ビットシフト回路及びゲート回路が設けられている。

【0046】前記乗算器32は入力された第1の加算器31の出力信号jに前述した(3)式で示すフィルタ係数g₁[=x/(x+1)]を乗算して、新たなkビット構成の出力信号、すなわち、低周波数成分が除去された後の位相誤差信号d₂として、図3におけるジッタ量検出部10へ送出する。

【0047】このように構成された図1に示すデジタルフィルタ30が図5に示す従来のジッタ測定器のデジタルフィルタ9aとほぼ同一機能を有することを説明する。

【0048】入力される第1の加算器31の出力信号jに遅延器34で1サンプリング分遅延された出力信号mを加算する第2の加算器33は、図5に示す従来のジッタ測定器のデジタルフィルタ9aにおける帰還路20と加算器16の機能を有する。すなわち、図5のデジタルフィルタ9aにおいては、遅延器18の入力信号には、帰還路20、加算器25、24、14を介して、自己(遅延器18)が出力した1サンプリング前の加算器14の出力信号が入力される。そして、加算器16は、加算器14の出力信号に加算された、遅延器18が出力した1サンプリング前の加算器14の出力信号を除去している。

【0049】よって、図1に示すデジタルフィルタ30における第2の加算器33で、遅延器34の出力信号mを直接同一遅延器34の入力信号に加算することにより、従来のデジタルフィルタ9aの帰還路20、加算器25、16を除去できる。

【0050】次に、図1に示す構成のデジタルフィルタ

30が組込まれた実施形態のジッタ測定器の全体動作を図3を用いて説明する。

【0051】入力端子1から入力された被測定信号aはPLL回路2内の位相比較器3で分周器4から入力された参照信号b₁との間の位相差が算出されて、位相差信号cとしてLPF5へ送出する。LPF5は位相差信号cから被測定信号aと参照信号b₁との高周波数成分を除去した信号を位相誤差信号dとして出力する。

【0052】PLL回路2の動作によって、被測定信号aと参照信号b₁とが周波数及び位相において定常的に同期している状態において、被測定信号aに位相揺らぎ(ジッタ)が発生するとLPF5から出力される位相誤差信号dの電圧が変化することになる。LPF5から出力される位相誤差信号dはA/D変換器8でデジタルの位相誤差信号d₁に変換された後、図1に示すデジタルフィルタ30で、低周波数成分が除去されて、新たなる位相誤差信号d₂としてジッタ量検出部10へ送出される。ジッタ量検出部10はこの位相誤差信号d₂の電圧変化をジッタ量として検出してジッタ量表示器11へ表示する。

【0053】よって、ジッタ測定器は入力された被測定信号aのジッタ量を、ITU-T O.172の勧告で規定された条件に従って高い精度で測定できる。

【0054】さらに、このように構成された実施形態のジッタ測定器においては、演算精度や演算処理能率を低下することなく、図1で示した本実施形態のデジタルフィルタ30の構成を図5に示した従来のデジタルフィルタ9aに比較して簡素化できる。

【0055】図2は、本発明の応用例に係わるジッタ測定器に組込まれたデジタルフィルタの概略構成を示すブロック図である。

【0056】すなわち、図1に示した実施形態のデジタルフィルタ30においては、再帰部の乗算器を加算器37及びビットシフト回路35、36、…のみで構成するようにした。この場合、分解能はビットシフト回路35、36、…の数に依存するので、簡単に分解能を上げることができないために、デジタルフィルタ30の誤差が大きくなってしまう。

【0057】そこで、図2に示すデジタルフィルタ30aにおいては、ビットシフト回路の一部を乗算器39(α')に置き換えた。すなわち、図1に示す複数のビットシフト回路35、36、…の代わりに、1つのビットシフト回路35aを遅延器34に接続し、このビットシフト回路35aの出力に α' を乗算する乗算器39を設けた。

【0058】ビットシフト回路35aは、入力された遅延器34の出力信号を $[1/2^t]$ に対応する1ビット分シフトさせる。この図2に示す例においては、20bitシフトする。次に、乗算器39はこの信号を受け、12bit分の乗算を行う。

【0059】このように、ビットシフト回路35、36、…のみでは分解能が粗いために誤差が大きくなってしまうが、一部を乗算器39にすることでこの誤差を減少させることができた。また、乗算器39の前に、ビットシフト回路35aを挿入しているので、実際に乗算器39で計算するビット数が減ることになり、高速でも動作させることが可能である。

【0060】

【発明の効果】以上説明したように、本発明のジッタ測定器に組込まれるデジタルフィルタにおいては、デジタルフィルタを構成する各部品を簡素化でき、かつ部品点数を減少できる。そして、たとえ、被測定信号中のジッタ成分のサンプリング周波数と位相誤差信号からジッタ量を検出するときに除去すべき低周波数成分の遮断周波数が大きく離れていたとしても、簡単にこの低周波数成分を除去できる。よって、本発明のジッタ測定器全体の構成をジッタ測定精度を低下することなく簡素化及び低価格化できる。

【図面の簡単な説明】

20 【図1】本発明の実施形態に係わるジッタ測定器に組込まれたデジタルフィルタの概略構成を示すブロック図

【図2】本発明の応用例に係わるジッタ測定器に組込まれたデジタルフィルタの概略構成を示すブロック図

【図3】一般的なジッタ測定器の概略構成を示すブロック図

【図4】同ジッタ測定器に組込まれた従来のデジタルフィルタの概略構成を示すブロック図

【図5】同ジッタ測定器に組込まれた他の従来のデジタルフィルタの概略構成を示すブロック図

30 【符号の説明】

2…PLL回路

3…位相比較器

4…分周器

5…LPF

6…アクティブフィルタ

7…電圧制御発振器

8…A/D変換器

10…ジッタ量検出器

11…ジッタ量表示器

40 12…同期検出器

13…表示制御部

30…デジタルフィルタ

31…第1の加算器

32…乗算器

33…第2の加算器

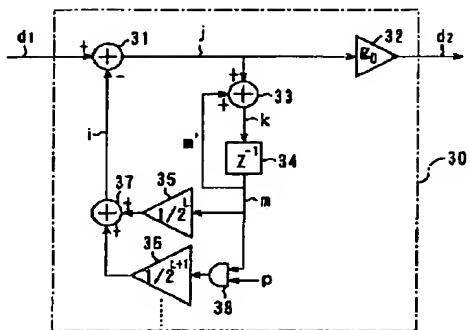
34…遅延器

35, 35…ビットシフト回路

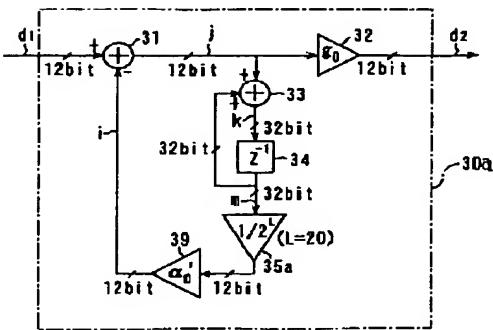
37…第3の加算器

38…ゲート回路

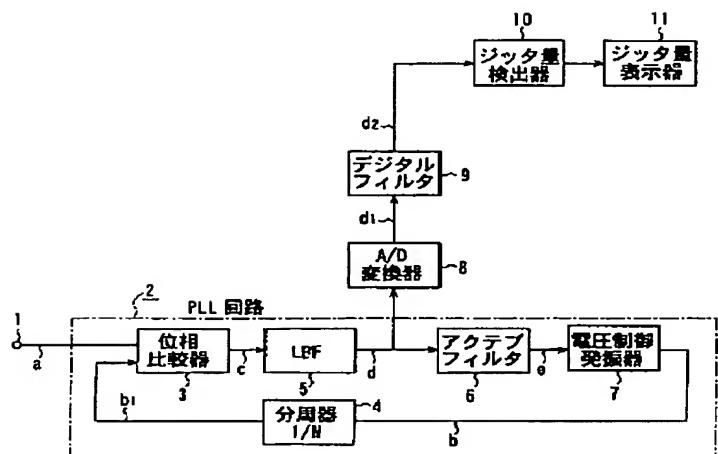
【図1】



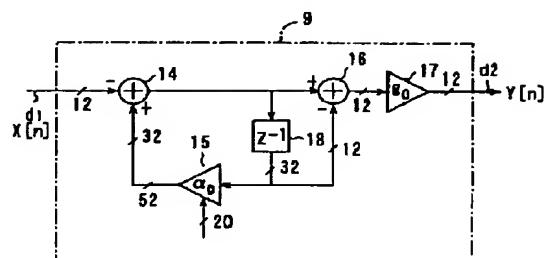
【図2】



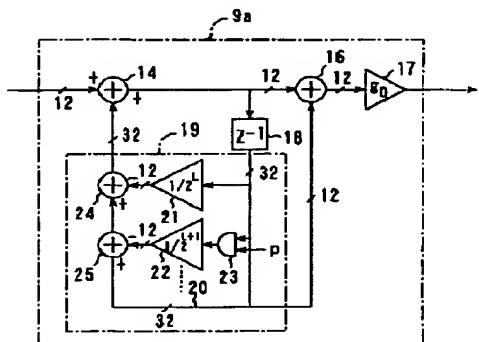
【図3】



【図4】



【図5】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.